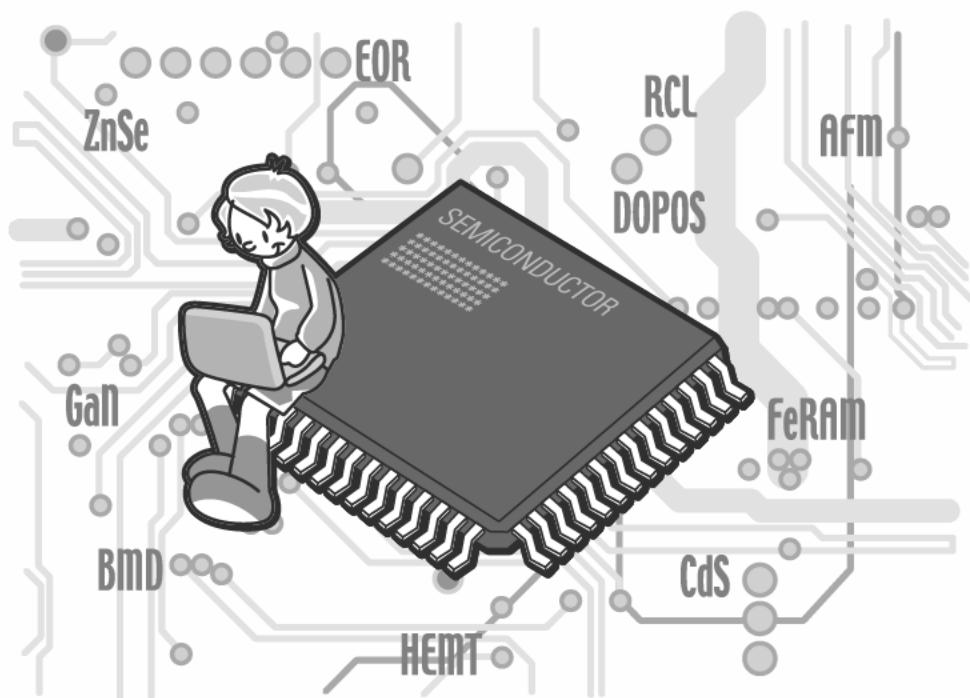




半導体集積回路 製造プロセス全工程

著 者／東京理科大学工学部 電気工学科 教授 生駒 英明



コガク

目次

学習のねらい 1

第 1 週 標準的な CMOS・IC/LSI の構造及び製造工程

第 1 週のポイント 3

1.1 標準的な CMOS・IC/LSI の構造及び特徴 4

 1.1.1 CMOS 集積回路の構造及び種類 4

 1.1.2 CMOS の各構造の特徴 5

1.2 標準的な CMOS・IC/LSI の製造工程 (スループロセス) 6

1.3 メモリー集積回路の構造及び製造工程 16

 1.3.1 メモリ集積回路の構成及び概要 16

 1.3.2 DRAM 構造と製造工程 17

 1.3.3 SRAM 構造と製造工程 20

1.4.4 EPROM 構造と製造工程 22

第 1 週のまとめと練習問題 24

第2週 バイポーラ IC/LSI の構造及び製造工程

第2週のポイント	25
2.1 標準的なバイポーラ IC/LSI の構造及び特徴	26
2.1.1 npn型バイポーラトランジスタの構造及び特徴	26
2.1.2 pnp型バイポーラトランジスタの構造及び特徴	28
2.2 標準的なバイポーラ IC/LSI の製造工程	30
2.2.1 標準的な npn バイポーラトランジスタの製造工程	30
2.2.2 pnpトランジスタの製造工程	34
2.3 進んだバイポーラ IC/LSI の構造及び製造工程	35
2.3.1 進んだバイポーラ IC/LSI (酸化膜分離及び 多結晶シリコンエミッタ) の構造及び特徴	35
2.3.2 進んだバイポーラ IC/LSI の製造工程	36
2.4 その他の素子及び回路要素の構造及び製造工程	39
2.4.1 pn接合ダイオードの構造及び製造工程	40
2.4.2 ショットキーダイオードの構造及び製造工程	41
2.4.3 抵抗素子の構造及び製造工程	42
2.4.4 電気容量素子(キャパシタ)の構造及び製造工程	44
第2週のまとめと練習問題	45

第3週 先端的なMOS及びバイポーラ集積回路の構造及び製造工程

第3週のポイント	47
3.1 先端的なMOS(CMOS)集積回路及びバイポーラ 集積回路の構造及び製造工程	48
3.1.1 ツインウェルCMOS構造と製造工程	48
3.1.2 DDD(Double-diffused drain)及びLDD(Lightly-doped drain) MOSトランジスタの構造及び製造工程	49
3.1.3 トレンチ素子間分離(トレンチアイソレーション) 構造及び製造工程	54
3.1.4 Cuダマシン配線構造及び製造工程	58
3.1.5 SOI(Silicon on insulator)構造及び製造工程	63
3.1.6 その他の新しいMOSトランジスタ構造及び製造工程	65
3.1.7 自己整合型バイポーラトランジスタの構造及び製造工程	68
第3週のまとめと練習問題	70

第4週 BiCMOSの構造及び製造工程

第4週のポイント	71
4.1 BiCMOSとは?: 必要理由及び特徴など。	72
4.1.1 バイポーラ集積回路及びMOS集積回路の特徴	72
4.1.2 BiCMOS集積回路の意義・特徴及び応用	73
4.1.3 BiCMOS基本回路の構成及び動作原理	75
4.1.4 実用的なBiCMOS基本論理回路と動作原理	76
4.2 BiCMOS集積回路の構造及び製造工程	82
4.2.1 BiCMOS集積回路の構造	82
4.2.2 ツインウェル型BiCMOS構造の製造工程	85
第4週のまとめと練習問題	87
STEP UP	88
参考文献	90
練習問題の解答	91
索引	94

半導体のABC講座 プロセスコース

半導体集積回路製造プロセス全工程

第1週

標準的なCMOS・IC/LSIの構造 及び製造工程

第1週のポイント

第1週ではまず今日、各種集積回路のうちでも最も中心となっている標準的なCMOSについて、その構造及び特徴を学ぶ。次いでこの標準的なCMOS/IC/LSIの製造全工程を学ぶことにする。この全工程（スループロセスと呼ぶこともある）は実に多種多様な個々のプロセスからなっていること、及びこれらのプロセス条件の組合せにより所望の機能・性能・特徴を持つIC/LSIが作製されることなどが理解される。

個々のプロセスの詳細は第2分冊で学ぶこととし、第1分冊では必要最小限な説明を行う。個々のプロセスの有機的なつながりによってCMOS・IC/LSIができるることを学ぶのがこの週の目的である。

1.1 標準的な CMOS・IC/LSI の構造及び特徴

1.1.1 CMOS 集積回路の構造及び種類

CMOS の基本回路は n チャネル MOS 電界効果トランジスタ（以下、簡単のため単に NMOS トランジスタと呼ぶことにする）と p チャネル MOS 電界効果トランジスタ（PMOS トランジスタ）を直列に接続したものである。NMOS, PMOS はそれぞれ p 型 Si 基板及び n 型 Si 基板内に形成するので、この両者を同一チップ上に作製するにはどちらかの型の基板内に異なった型の比較的深い（通常 2～5 μm）領域（ウェル（井戸の意味）と呼ぶ）を形成する必要がある。

図 1.1 に代表的な CMOS 構造を示す。図のように基板とウェルの型の組合せにより 3 種類がある。図の(a)は n 型 Si 基板内に p ウェル層を形成して、その中に NMOS トランジスタを、基板内に PMOS トランジスタを形成するという p ウェル方式、(b)は p 型 Si 基板内に n ウェルを形成し、その中に PMOS を、基板内に NMOS を形成する n ウェル方式である。さらに最近の LSI では(c)のように、n 型または p 型 Si 基板内に n, p 両ウェルを形成し、その各ウェル内にそれぞれ、PMOS, NMOS を形成するツインウェル（または両ウェル）方式が主流である。

ウェル構造とともに重要なのは、個々のトランジスタ（または抵抗など）の間を電気的に絶縁（分離）して素子間の漏れ電流（リーク電流）を防止する必要があることである。これを素子間分離と呼ぶ。MOS トランジスタで電流の流れるチャネル層（反転層）の厚さは高々～1nm とごく薄く（したがって、MOS トランジスタは表面（2 次元）デバイスである）、素子間分離領域もごく表面だけに形成すれば良い。MOS・IC/LSI ではデバイスの間に図 1.1(a), (b), (c) で示すように部分的に酸化膜 (SiO_2) を形成して分離する酸化膜分離が主流である。

このように Si 基板の特定部分のみを酸化させる方法を選択酸化法（Local oxidation of Silicon：省略して LOCOS と呼んでいる）という。オランダのフィリップス社で発明された有名な技術である。あとでバイポーラ集積回路のところで述べる pn 接合分離と比較すると、素子間分離領域をマスクパターンの寸法で決定できるので微細化に適した分離法である。

選択酸化法の詳細は次の 1.2 節で述べる。

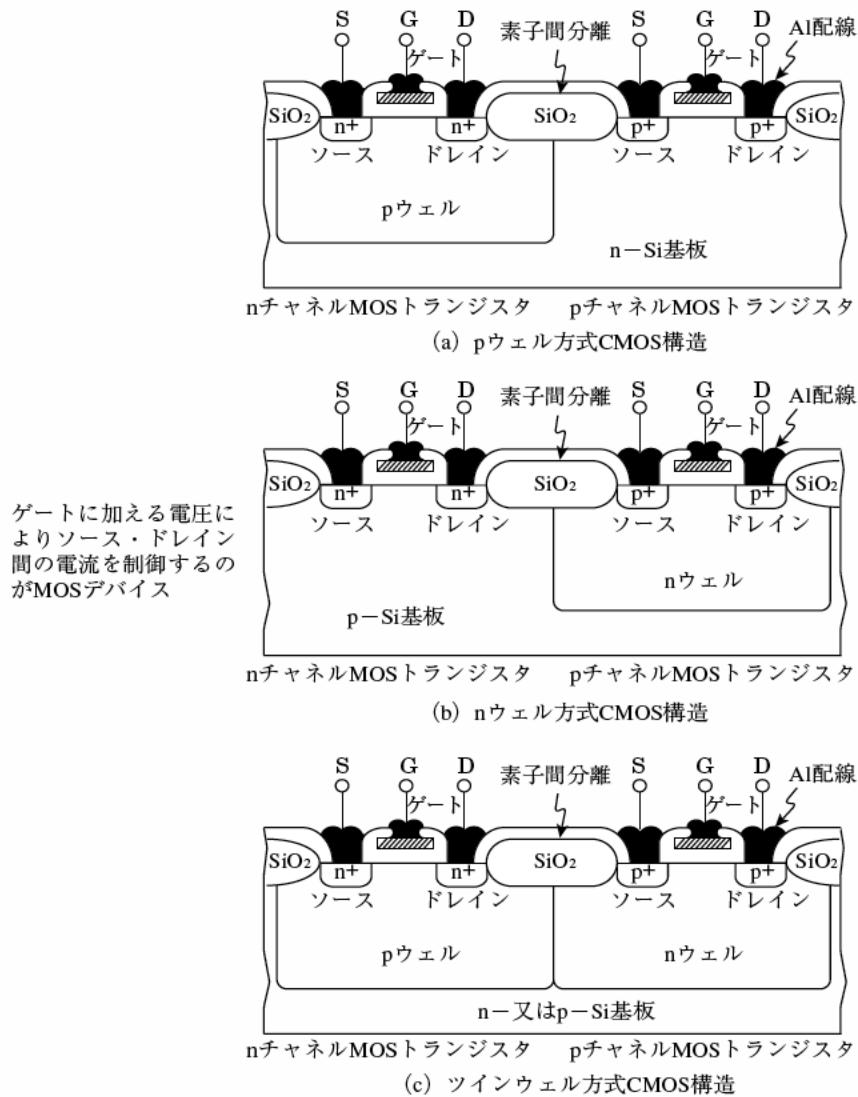


図1.1 CMOS断面構造

1.1.2 CMOSの各構造の特徴

図1.1に示したように、標準的なCMOS構造は大別して3種類ある。原理的にはどの構造でも同じであるが、それぞれに以下に述べるような特徴がある。一般に電子の方が正孔より移動度が大きい(Siでは約3倍)ため NMOSトランジスタのほうが PMOSトランジスターよりも特性(相互コンダクタンスなど)が優れている。

また一方では、CMOS論理(インバータ)回路で信号の立ち上り時間を決めるのはPMOS

トランジスタ、立下り時間を決めるのはNMOSトランジスタであり、回路設計上、NMOS、PMOS両素子の特性はできるだけ同じにすることが望ましい。信号の立ち上がり時間、立下り時間は同じにした方が設計上便利だからである。

(a)のpウェル方式では高純度の結晶性のn型Si基板内にPMOS素子を形成するため、PMOS素子の特性は良好なものが得られる。一方、pウェルは基板に不純物を導入するため、純度、結晶性とも基板のそれより劣り、NMOS素子の特性はやや下がるため、PMOS、NMOS両素子の特性を整合しやすいという特徴がある。そのため、一応、pウェル方式が標準となり、最もよく用いられている。

一方、(b)のnウェル方式はNMOS、PMOS素子の特性の差を大きくしやすいが、DRAM(ダイナミックランダムアクセスメモリ)やSRAM(静态ランダムアクセスメモリ)、その他のメモリー集積回路では、チップ面積の大半を占めるメモリセル部はほとんど全てがNMOSトランジスタのみによって構成され、ごくわずかな周辺回路のみがCMOSなので、nウェル方式が便利である。さらに最も重要なメモリセル部のNMOSトランジスタの特性が良好なものが得られるという利点もある。

しかし、現在の超LSI級のメモリや論理集積回路では、(c)のツインウェル方式がNMOS、PMOS素子の特性を独立に制御できるという利点のため、主流になっている。

1.2 標準的なCMOS・IC/LSIの製造工程(スループロセス)

代表的なpウェル方式、多結晶シリコンゲートのCMOSの製造工程について述べる。順序としては、まずn型Si基板内にpウェルを作製し、次いで素子間分離領域形成→NMOS及びPMOSトランジスタのチャネル領域の形成→ゲート電極の形成→NMOS及びPMOSトランジスタのソース/ドレイン形成→Al配線工程と進め、完成する。図1.2に製造工程の概要を示す。

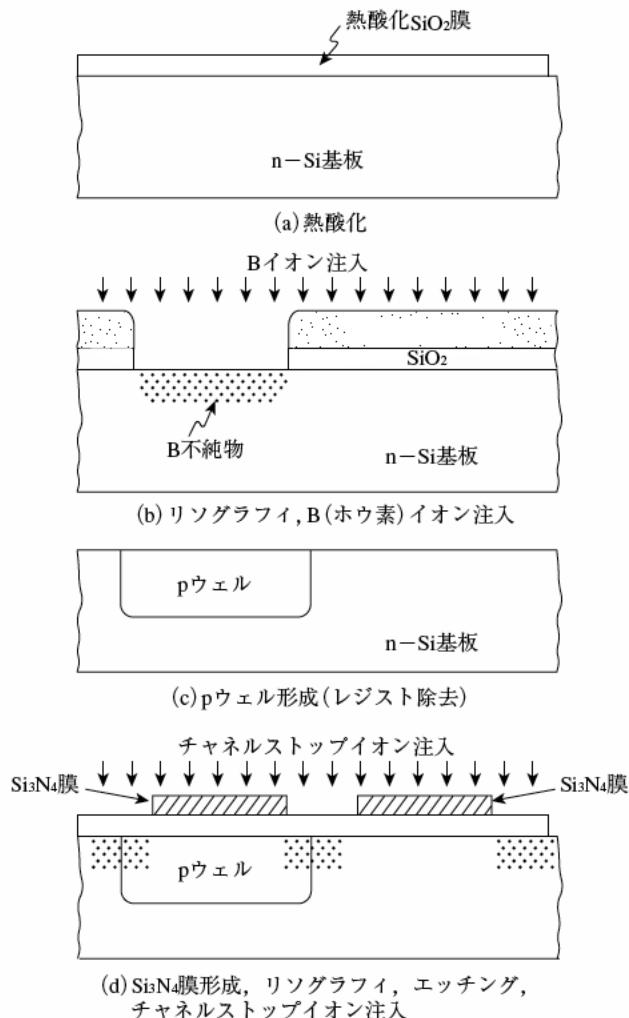


図1.2(a)～(d) CMOS構造(pウェル方式)の製造プロセス

(1) p ウェルの形成 (図 1.2(a)～(c))

まずn型Si基板を有機溶媒、酸、超純水などにより充分に洗浄、表面処理を行って清浄化する。表面を熱酸化してSiO₂膜を形成し、リソグラフィ技術とSiO₂のエッチングの組合せにより、pウェル形成領域のみSiO₂膜を除去する。次いでホウ素(B⁺)のイオン注入を行った後、高温(600～1000℃)で熱処理(アニール)を行ってBを基板内に深く(2～5 μm)拡散させてpウェルを形成する。