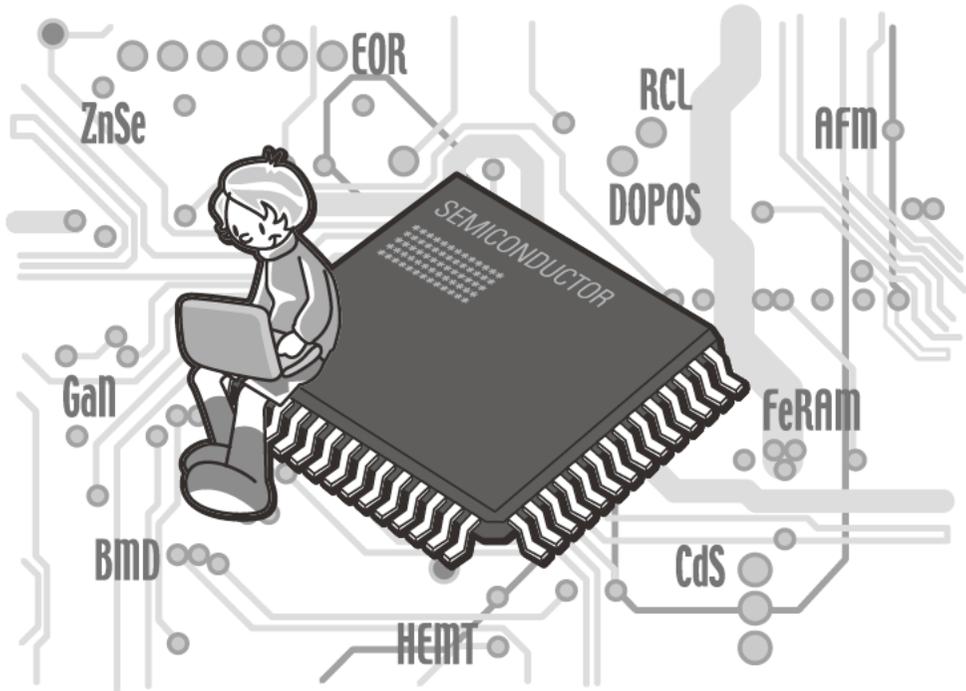


No.1

半導体物性の基礎

執筆／東京理科大学理工学部 電気工学科 教授 生駒 英明



コガク

第2週 半導体のエネルギー帯構造

第2週のポイント	19
2.1 半導体中の電子の運動 (有効質量)	20
2.2 エネルギー帯構造 (バンド構造)	20
2.2.1 バンド構造の概要 (伝導帯, 価電子帯及び禁制帯)	20
2.2.2 バンド構造 (エネルギーと運動量または波数の関係)	22
2.2.3 直接遷移型半導体と間接遷移型半導体	25
2.2.4 等エネルギー面と有効質量	25
2.3 半導体中の不純物のエネルギー準位	26
2.3.1 ドナー不純物及びドナー準位	26
2.3.2 アクセプタ不純物及びアクセプタ準位	27
2.3.3 深い不純物及び両性不純物	28
2.4 半導体中の電子分布	29
2.4.1 フェルミ分布及びフェルミエネルギー	29
2.4.2 半導体中の電子分布	30
第2週のとまとめと練習問題	33

第3週 半導体の電気的特性

第3週のポイント	35
3.1 半導体の電気伝導	36
3.1.1 半導体中の電子の運動(熱運動とドリフト運動)	36
3.1.2 導電率と移動度	37
3.1.3 導電率, ホール(Hall)係数及び移動度の測定方法	39
3.2 半導体中のキャリア密度	40
3.2.1 真性半導体におけるキャリア密度	40
3.2.2 不純物半導体におけるキャリア密度	41
3.2.3 キャリア密度の温度変化	43
3.3 移動度	44
3.3.1 移動度とキャリア散乱	44
3.3.2 キャリア散乱の種類及び機構	45
3.4 半導体中の電流	48
3.4.1 ドリフト電流と拡散電流	48
3.4.2 半導体中の電流	49
3.4.3 非平衡状態での電気的特性	50
第3週のとまとめと練習問題	53

第 4 週 半導体の光学的特性

第 4 週のポイント	55
4.1 半導体の光吸収	56
4.1.1 光吸収の機構・種類	56
4.1.2 直接遷移と間接遷移	57
4.2 半導体の発光現象 [光放出 (ルミッセンス)]	58
4.2.1 直接遷移型と間接遷移型の場合の発光機構	58
4.2.2 発光機構	59
4.2.3 半導体の発光スペクトル	61
4.2.4 自然放出と誘導放出	63
4.3 光伝導	63
第 4 週のまとめと練習問題	65

STEP UP	66
参考文献	68
練習問題の解答	69
索引	72

半導体の結晶構造及び 電子，正孔の概念

第
1
週
の
ポ
イ
ン
ト

この週ではまずどういう物質が半導体になるのか，半導体の特徴や種類を理解するために，その結晶構造や結合の仕方を学ぶ。またデバイスの基本となる電子や正孔の概念，どうやってそれらを半導体内に生成するのか，それに関連して外部から導入する不純物の役割などを学ぶことにする。またデバイス動作に有害な欠陥などの要因についても解説する。

1.1 半導体の特徴及び種類

1.1.1 半導体の特徴

半導体はきわめて高度な機能の実現が可能である機能性材料としてよく知られているが、その基本となるのは次のような特徴である。

- ① n型及びp型という2種類の電気伝導（電流を流す）機構が存在すること。n型では負の電荷である電子が、p型では正の電荷である正孔がそれぞれ電流を運ぶ担い手（キャリア）になる。後述するように、導入する不純物によりn型にもp型にもなる。
- ② 半導体の電気抵抗率 ρ は金属（ $\rho < 10^{-4} \Omega \text{ cm}$ ）と絶縁体（ $\rho > 10^8 \Omega \text{ cm}$ ）の間であるが、導入する不純物の種類及び量によって $10^{-4} \Omega \text{ cm} < \rho < 10^3 \Omega \text{ cm}$ と広い範囲（約8桁）にわたって人工的に制御できること。金属及び絶縁体では不純物を導入してもそれほど大きく電気抵抗率 ρ は変化しない。

これらを組み合わせることにより、半導体は多機能のデバイスとして応用が可能である。

1.1.2 半導体の種類

半導体として最も有名なのはシリコン（Si）、ゲルマニウム（Ge）であろう。Geは単体半導体としては現在ではほとんど用いられていないが、トランジスタ発明当時はGeが主流であった。このほかに2種類またはそれ以上の化合物、合金が半導体（化合物半導体、合金半導体）になることが知られている。第2分冊で解説する光デバイスはほとんどがこれらの化合物半導体である。ここでは周期律表を用いてどのような元素または化合物が半導体になるか調べてみよう。図1.1に周期律表のうち、特に半導体に関係ある部分を示す。元素の種類にはI_a～VII_a及びI_b～VII_b族までであるが、半導体に関係があるのは主としてII_b～VI_b族である。図でIV_b族のSi、Geが単体で半導体になる元素であることは容易にわかる。Si半導体はIC/LSIはじめ多くのデバイスの材料として、今日の半導体産業の中心となっている。C（炭素）の単結晶は高温・高圧でのみ安定なダイヤモンドとして存在するが、これも半導体である。最近ではダイヤモンド薄膜を形成できる技術が開発され、新しい半導体材料として期待されている。周期律表では下の原

II _b	III _b	IV _b	V _b	VI _b
	⁵ B	⁶ C	⁷ N	
	¹³ Al	¹⁴ Si	¹⁵ P	¹⁶ S
³⁰ Zn	³¹ Ga	³² Ge	³³ As	³⁴ Se
⁴⁸ Cd	⁴⁹ In	⁵⁰ Sn	⁵¹ Sb	⁵² Te

図1.1 周期表の一部

子番号が大きくなる方に行くに従って金属的な性質を帯びるようになり、IV_b族でもSn（錫）は金属に近い（抵抗率が通常の金属より高く半金属とも呼ばれる）。IV_b族どうしの化合物、合金（SiGe, SiCなど、いずれも任意の割合で混ざるので合金といった方が正確である）も半導体となる。SiGeやSiCは第3分冊で述べるように、ヘテロバイポーラトランジスタのような新しいデバイスの材料として開発が盛んに行われている。

図1.1でIII_b族とV_b族の元素間の化合物はすべて半導体となる。これをIII-V族化合物半導体と呼ぶ。GaAs（ヒ化ガリウムまたはガリウムヒ素）、GaP（リン化ガリウムまたはガリウムリン）、InP（リン化インジウムまたはインジウムリン）などは、後述するようにマイクロ波用の高周波電子デバイスや光デバイスの材料として有名である。また最近ではGaN（窒化ガリウムまたはガリウムナイトライド）は青色発光素子の材料として知られるようになった。これやAlN（窒化アルミニウムまたはアルミニウムナイトライド）などのIII族窒化物は電子デバイスとしても期待されている。このほかに例えばAlGaAs, GaAsP, InGaAs, InGaAsPなどの3つ以上の元素から成る化合物も半導体となる。一般にIII-V族半導体ではIII族とV族が1:1の割合で化合するので、これらはより正確に表すと、それぞれ、Al_xGa_{1-x}As, GaAs_yP_{1-y}, In_xGa_{1-x}As, In_xGa_{1-x}As_yP_{1-y}のように書ける。例えば、AlGaAsは2種類の化合物AlAsとGaAsとの混合したものである。このような半導体を混晶半導体という。構成する元素の数により、3元系、4元系、……と呼ばれる。

さらに図1.1でII_b族およびVI_b族元素の間の化合物も半導体になる。II-VI族化合物半導体と呼ばれる。CdS（硫化カドミウムまたはカドミウムサルファイド）、ZnS（硫化亜鉛）、ZnSe（セレン化亜鉛）などが知られている。また同じように3種類以上の元素からなる混晶もある（ZnSSeなど）。これらは主として光デバイスの材料として注目されているが、III-V族半導体ほど開発は進んでいない。

1.2 半導体の結晶構造及び共有結合

1.2.1 半導体の結晶構造

半導体の結晶構造はダイヤモンド構造と呼ばれ、図 1.2 に示すようなものである。

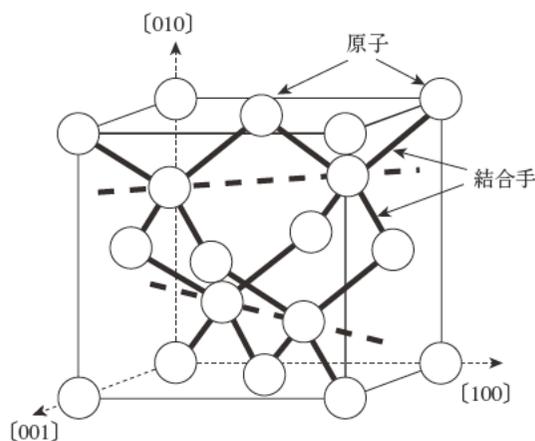


図1.2 ダイヤモンド構造

この図で見ると一見複雑であるが、次のように考えればよい。すなわち、基本の結晶格子は立方体（立方晶系という）で、まずその各頂点に1個ずつ原子がある。次にこの立方体を構成する6つの面があるが、その面の中心に1個ずつ原子がある（ここまではいわゆる面心立方格子）。さらに底面から高さの3/4及び1/4のところに位置する互いに直交する対角線（底面に平行な）上の対称の位置にそれぞれ2個の原子が入っている。詳細はともかくとして、この構造で重要なのは1個の原子に注目すると、その最も近い隣接位置に4個の他の原子（最近接原子）があり、その間で原子間結合が行われているということである。

また化合物半導体は2種以上の原子から構成されているが、上で1種の元素（例えばⅢ族）の原子が面心格子を構成し、もう1種の元素（例えばⅤ族）の原子はそれ以外の位置を占める。この構造は基本的にはダイヤモンド構造と同じであるが、閃亜鉛鉱型構造という。対称的な構造なので、Ⅲ族とⅤ族の原子を入れ換えても同じである。この構造ではⅢ族及びⅤ族の原子はそれぞれ4個の異種原子、すなわちⅤ族およびⅢ族の原子と

結合していることになる。

これらの構造を単純化して平面上に表すと図1.3 (Siの例) のように描ける。GaAsではGa原子とAs原子が交互に隣接して並ぶ。このようにすべての部分にわたって原子が整然と規則正しく配列した構造が単結晶である。IC/LSIはじめ通常の半導体デバイスはこの単結晶を用いて作製される。またこの原子が整然と配列した構造を結晶格子(または格子)と呼ぶ。

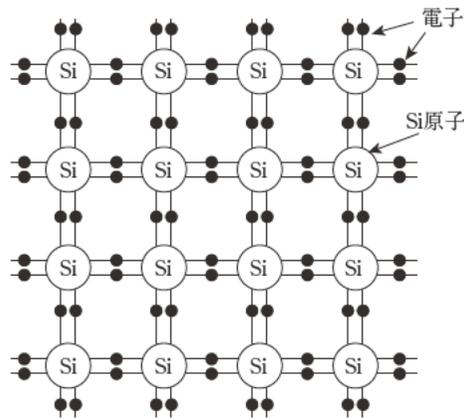


図1.3 共有結合 (Siの結晶構造)

1.2.2 共有結合

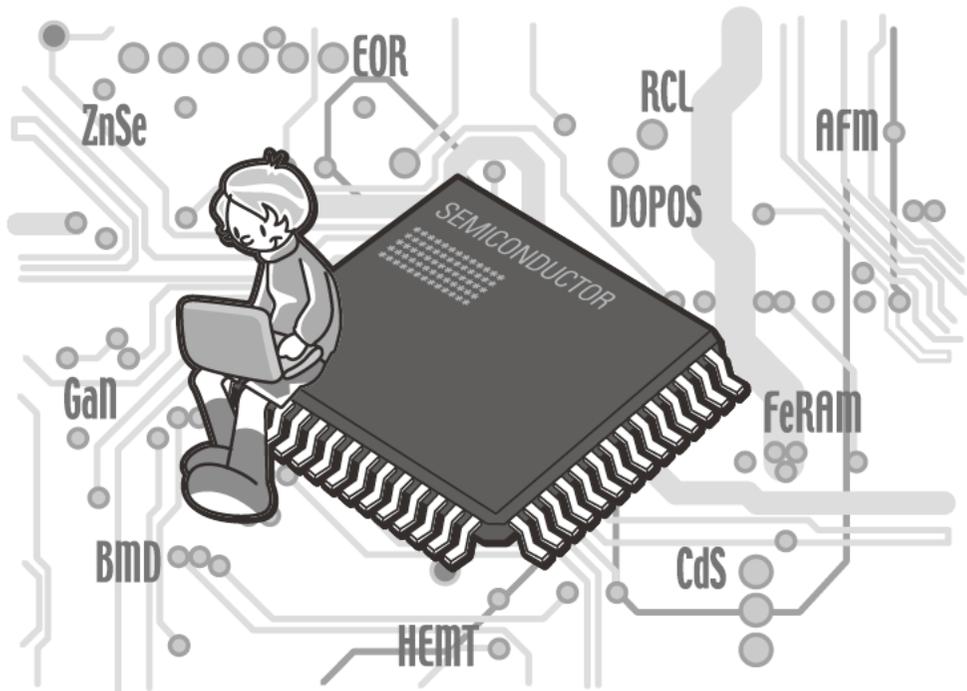
図1.3で示すようにSi半導体の各原子は2本の手(結合手という)で隣り合った4個の最近接原子と結合している。1つの結合手は2個のSi原子の間を行ったり来たりする1個の電子により占められている。SiはIV族であるから、Si原子は最外殻に4個の電子を有する。これらの電子はより内殻の電子より、Siの原子核にそれほど強く束縛されておらず、比較的自由に移動できる。1個のSi原子からこの4個の電子が周囲の原子との結合に寄与する。図より1個のSi原子の周囲には合計8本の結合手があるので、このうちの4本の結合手(電子軌道)に4個の電子が入る。残りの4本にはそれぞれ隣り合ったSi原子から電子が供給されて、これらの電子が原子間の結合に預かっていると考えればよい。このように電子を原子間で共有して結合する仕方を共有結合という。

電荷を帯びた電子が自転しているので電子には磁気モーメントがある。これをスピンと呼ぶが、図で隣り合った2本の結合手にはそれぞれスピンの方向が反対な電子が入る。Si, Geなどの単体半導体では各電子がそれぞれの原子の周囲に滞在する時間的割合

No.1

半導体集積回路 製造プロセス全工程

著者／東京理科大学工学部 電気工学科 教授 生駒 英明



コガク

第2週 バイポーラ IC/LSI の構造及び製造工程

第2週のポイント	25
2.1 標準的なバイポーラ IC/LSI の構造及び特徴	26
2.1.1 npn 型バイポーラトランジスタの構造及び特徴	26
2.1.2 pnp 型バイポーラトランジスタの構造及び特徴	28
2.2 標準的なバイポーラ IC/LSI の製造工程	30
2.2.1 標準的な npn バイポーラトランジスタの製造工程	30
2.2.2 pnp トランジスタの製造工程	34
2.3 進んだバイポーラ IC/LSI の構造及び製造工程	35
2.3.1 進んだバイポーラ IC/LSI (酸化膜分離及び 多結晶シリコンエミッタ) の構造及び特徴	35
2.3.2 進んだバイポーラ IC/LSI の製造工程	36
2.4 その他の素子及び回路要素の構造及び製造工程	39
2.4.1 pn 接合ダイオードの構造及び製造工程	40
2.4.2 ショットキーダイオードの構造及び製造工程	41
2.4.3 抵抗素子の構造及び製造工程	42
2.4.4 電気容量素子 (キャパシタ) の構造及び製造工程	44
第2週のとまとめと練習問題	45

第3週 先端的な MOS 及びバイポーラ集積回路の構造及び製造工程

第3週のポイント	47
3.1 先端的な MOS (CMOS) 集積回路及びバイポーラ 集積回路の構造及び製造工程	48
3.1.1 ツインウェル CMOS 構造と製造工程	48
3.1.2 DDD (Double-diffused drain) 及びLDD (Lightly-doped drain) MOSトランジスタの構造及び製造工程	49
3.1.3 トレンチ素子間分離 (トレンチアイソレーション) 構造及び製造工程	54
3.1.4 Cu ダマシシ配線構造及び製造工程	58
3.1.5 SOI (Silicon on insulator) 構造及び製造工程	63
3.1.6 その他の新しい MOS トランジスタ構造及び製造工程	65
3.1.7 自己整合型バイポーラトランジスタの構造及び製造工程	68
第3週のとまとめと練習問題	70

第 4 週 BiCMOS の構造及び製造工程

第 4 週のポイント	71
4.1 BiCMOS とは ? : 必要理由及び特徴など	72
4.1.1 バイポーラ集積回路及び MOS 集積回路の特徴	72
4.1.2 BiCMOS 集積回路の意義・特徴及び応用	73
4.1.3 BiCMOS 基本回路の構成及び動作原理	75
4.1.4 実用的な BiCMOS 基本論理回路と動作原理	76
4.2 BiCMOS 集積回路の構造及び製造工程	82
4.2.1 BiCMOS 集積回路の構造	82
4.2.2 ツインウェル型 BiCMOS 構造の製造工程	85
第 4 週のまとめと練習問題	87
STEP UP	88
参考文献	90
練習問題の解答	91
索引	94

第1週

半導体のABC講座 プロセスコース

半導体集積回路製造プロセス全工程

標準的なCMOS・IC/LSIの構造及び製造工程

第1週のポイント

第1週ではまず今日、各種集積回路のうちでも最も中心となっている標準的なCMOSについて、その構造及び特徴を学ぶ。次いでこの標準的なCMOS/IC/LSIの製造全工程を学ぶことにする。この全工程（スループロセスと呼ぶこともある）は実に多種多様な個々のプロセスからなっていること、及びこれらのプロセス条件の組合せにより所望の機能・性能・特徴を持つIC/LSIが作製されることなどが理解される。

個々のプロセスの詳細は第2分冊で学ぶこととし、第1分冊では必要最小限な説明を行う。個々のプロセスの有機的なつながりによってCMOS・IC/LSIができることを学ぶのがこの週の目的である。

1.1 標準的な CMOS・IC/LSI の構造及び特徴

1.1.1 CMOS 集積回路の構造及び種類

CMOS の基本回路は n チャネル MOS 電界効果トランジスタ (以下、簡単のため単に NMOS トランジスタと呼ぶことにする) と p チャネル MOS 電界効果トランジスタ (PMOS トランジスタ) を直列に接続したものである。NMOS, PMOS はそれぞれ p 型 Si 基板及び n 型 Si 基板内に形成するので、この両者を同一チップ上に作製するにはどちらかの型の基板内に異なった型の比較的深い (通常 2~5 μm) 領域 (ウェル (井戸の意味) と呼ぶ) を形成する必要がある。

図 1.1 に代表的な CMOS 構造を示す。図のように基板とウェルの型の組合せにより 3 種類がある。図の (a) は n 型 Si 基板内に p ウェル層を形成して、その中に NMOS トランジスタを、基板内に PMOS トランジスタを形成するという p ウェル方式, (b) は p 型 Si 基板内に n ウェルを形成し、その中に PMOS を、基板内に NMOS を形成する n ウェル方式である。さらに最近の LSI では (c) のように、n 型または p 型 Si 基板内に n, p 両ウェルを形成し、その各ウェル内にそれぞれ、PMOS, NMOS を形成するツインウェル (または両ウェル) 方式が主流である。

ウェル構造とともに重要なのは、個々のトランジスタ (または抵抗など) の間を電気的に絶縁 (分離) して素子間の漏れ電流 (リーク電流) を防止する必要があることである。これを素子間分離と呼ぶ。MOS トランジスタで電流の流れるチャネル層 (反転層) の厚さは高々 ~1nm とごく薄く (したがって、MOS トランジスタは表面 (2次元) デバイスである)、素子間分離領域もごく表面だけに形成すれば良い。MOS・IC/LSI ではデバイスの間に図 1.1(a), (b), (c) で示すように部分的に酸化膜 (SiO_2) を形成して分離する酸化膜分離が主流である。

このように Si 基板の特定部分のみを酸化させる方法を選択酸化法 (Local oxidation of Silicon: 省略して LOCOS と呼んでいる) という。オランダのフィリップス社で発明された有名な技術である。あとでバイポーラ集積回路のところで述べる pn 接合分離と比較すると、素子間分離領域をマスクパターンの寸法で決定できるので微細化に適した分離法である。

選択酸化法の詳細は次の 1.2 節で述べる。

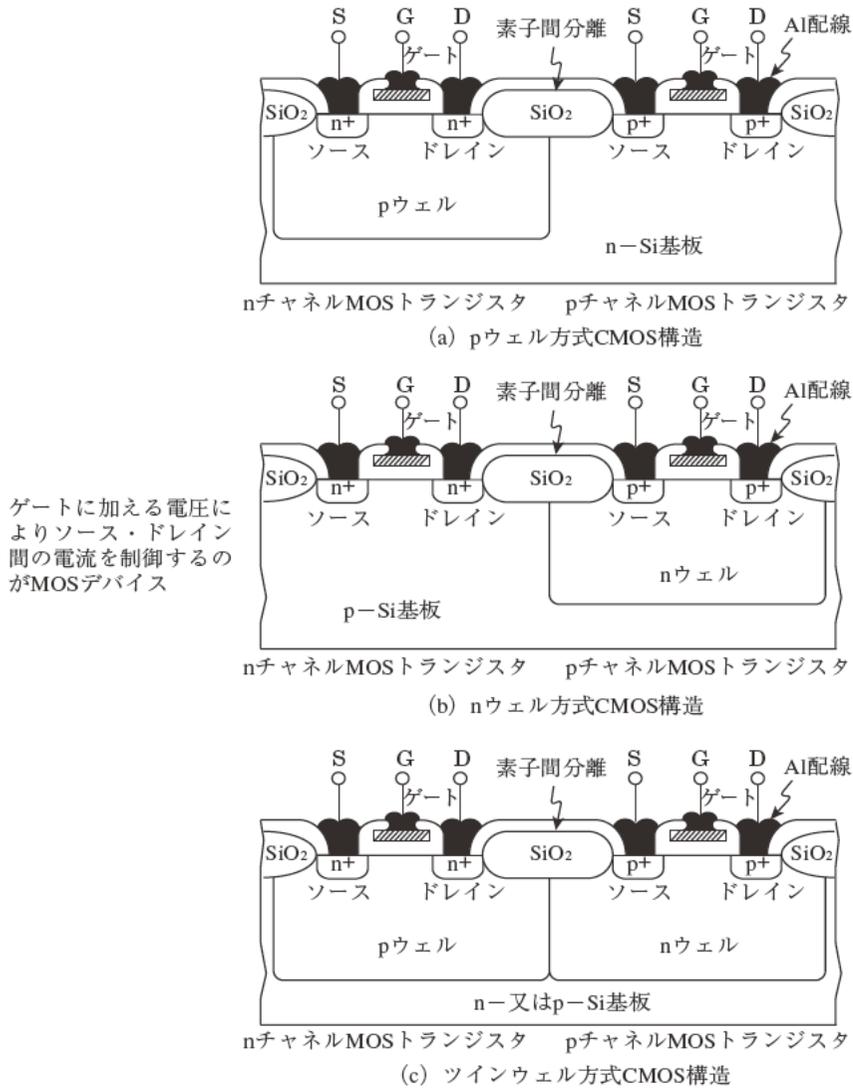


図1.1 CMOS断面構造

1.1.2 CMOS の各構造の特徴

図1.1に示したように、標準的なCMOS構造は大別して3種類ある。原理的にはどの構造でも同じであるが、それぞれに以下に述べるような特徴がある。一般に電子の方が正孔より移動度が大きい (Si では約 3 倍) ため NMOS トランジスタのほうが PMOS トランジスタよりも特性 (相互コンダクタンスなど) が優れている。

また一方では、CMOS論理 (インバータ) 回路で信号の立上り時間を決めるのはPMOS

トランジスタ, 立下り時間を決めるのはNMOSトランジスタであり, 回路設計上, NMOS, PMOS両素子の特性はできるだけ同じにすることが望ましい。信号の立ち上がり時間, 立下り時間は同じにした方が設計上便利だからである。

(a)のpウェル方式では高純度の結晶性のn型Si基板内にPMOS素子を形成するため, PMOS素子の特性は良好なものが得られる。一方, pウェルは基板に不純物を導入するため, 純度, 結晶性とも基板のそれらより劣り, NMOS素子の特性はやや下がるため, PMOS, NMOS両素子の特性を整合しやすいという特徴がある。そのため, 一応, pウェル方式が標準となり, 最もよく用いられている。

一方, (b)のnウェル方式はNMOS, PMOS素子の特性の差を大きくしやすいが, DRAM(ダイナミックランダムアクセスメモリ)やSRAM(スタティックランダムアクセスメモリ), その他のメモリー集積回路では, チップ面積の大半を占めるメモリセル部はほとんど全てがNMOSトランジスタのみによって構成され, ごくわずかな周辺回路のみがCMOSなので, nウェル方式が便利である。さらに最も重要なメモリセル部のNMOSトランジスタの特性が良好なものが得られるという利点もある。

しかし, 現在の超LSI級のメモリや論理集積回路では, (c)のツインウェル方式がNMOS, PMOS素子の特性を独立に制御できるという利点のため, 主流になっている。

1.2 標準的なCMOS・IC/LSIの製造工程(スループロセス)

代表的なpウェル方式, 多結晶シリコンゲートのCMOSの製造工程について述べる。順序としては, まずn型Si基板内にpウェルを作製し, 次いで素子間分離領域形成→NMOS及びPMOSトランジスタのチャンネル領域の形成→ゲート電極の形成→NMOS及びPMOSトランジスタのソース/ドレイン形成→Al配線工程と進め, 完成する。図1.2に製造工程の概要を示す。

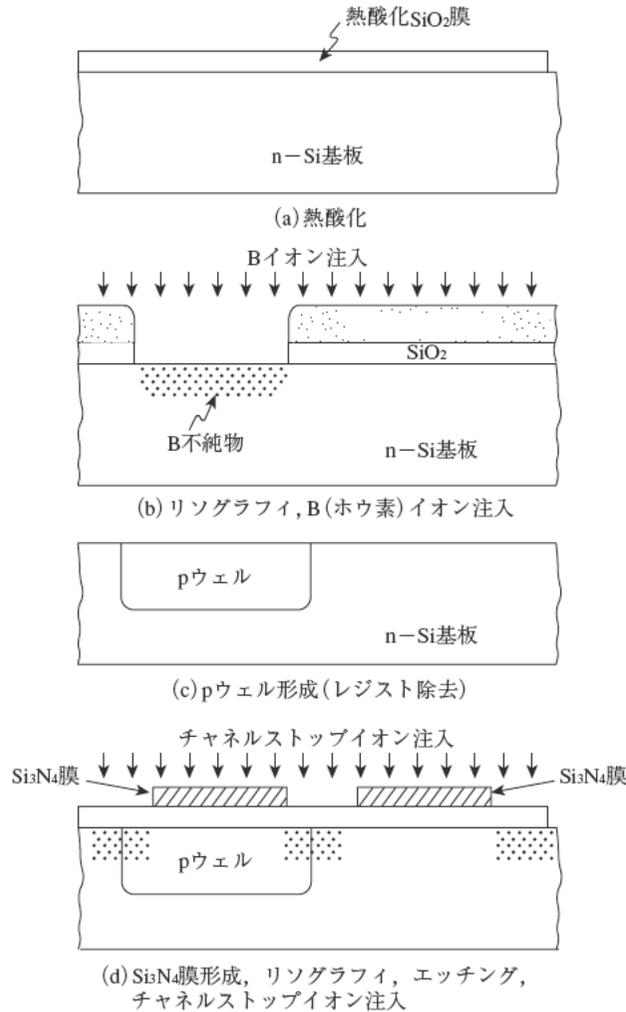


図1.2(a)~(d) CMOS構造(pウェル方式)の製造プロセス

(1) pウェルの形成(図1.2(a)~(c))

まずn型Si基板を有機溶媒, 酸, 超純水などにより十分に洗浄, 表面処理を行って清浄化する。表面を熱酸化してSiO₂膜を形成し, リソグラフィ技術とSiO₂のエッチングの組合せにより, pウェル形成領域のみSiO₂膜を除去する。次いでホウ素(B⁺)のイオン注入を行った後, 高温(600~1000℃)で熱処理(アニール)を行ってBを基板内に深く(2~5 μm)拡散させてpウェルを形成する。